

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-213800

(43)Date of publication of application : 15.08.1997

(51)Int.Cl. H01L 21/768
H01L 21/316
H01L 21/31

(21)Application number : 08-021467

(71)Applicant : NEC CORP

(22)Date of filing : 07.02.1996

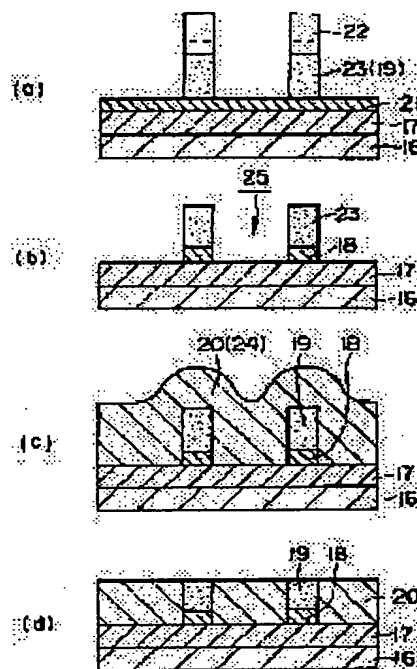
(72)Inventor : NAKAMURA HIROYUKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and manufacture thereof in which an interlayer insulating film having a sufficient stress relaxation effect is obtained without complicating the process.

SOLUTION: An aluminum film 21 is formed, and a mask pattern 23, comprising a plasma silicon oxide film 19 having a compressive stress, is formed on the aluminum film 21. Then, the aluminum film 21 is etched using the mask pattern 23 to form an aluminum wiring 18. Next, an O3-TEOS oxide film 20 having a tensile stress is formed in a state where the mask pattern 23 remains to form a buried layer 24 over the aluminum wiring 18 and the mask pattern 23. Finally, the surface of the buried layer 24 is smoothed in accordance with the CMP method.



LEGAL STATUS

[Date of request for examination] 07.02.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3102338

[Date of registration] 25.08.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-213800

(43)公開日 平成9年(1997)8月15日

(51)Int.Cl.⁹

識別記号

F I

H01L 21/768

H01L 21/90

K

21/316

21/316

M

21/31

21/95

審査請求 有 請求項の数 6 O L (全6頁)

(21)出願番号

特願平8-21467

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日

平成8年(1996)2月7日

(72)発明者 中村 弘幸

東京都港区芝五丁目7番1号 日本電気株式会社内

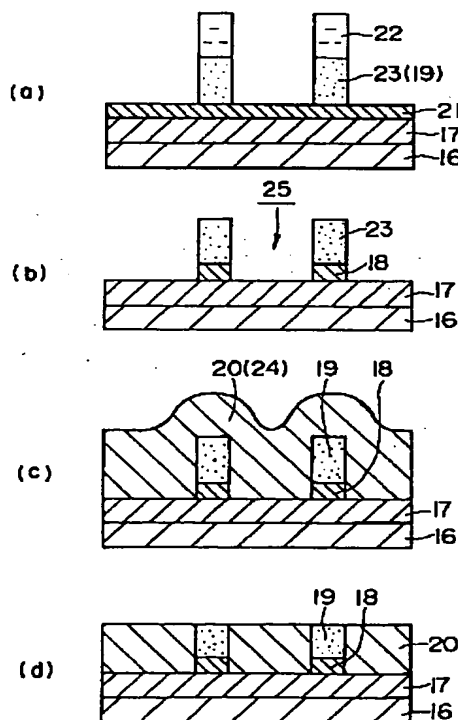
(74)代理人 弁理士 志賀 正武

(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】

【課題】 プロセスを複雑にすることなく、十分な応力緩和効果を持った層間絶縁膜が得られる半導体装置およびその製造方法を提供する。

【解決手段】 アルミニウム膜21を形成した後、その上に圧縮応力を有するプラズマシリコン酸化膜19からなるマスク材パターン23を形成する。そして、このマスク材パターン23を用いてアルミニウム膜21をエッチングすることによりアルミニウム配線18を形成する。次に、マスク材パターン23を残した状態で引張応力を有するO₂-TEOS酸化膜20を形成することによりアルミニウム配線18とマスク材パターン23を埋め込む埋込層24を形成する。最後に埋込層24の表面をCMP法により平坦化する。



【特許請求の範囲】

【請求項 1】 配線の直上に圧縮応力または引張応力のいずれかの応力を有する第 1 の絶縁膜が形成され、これら配線および第 1 の絶縁膜が前記応力と反対の応力を有する第 2 の絶縁膜で埋め込まれたことを特徴とする半導体装置。

【請求項 2】 配線層を形成する工程と、該配線層上に圧縮応力または引張応力のいずれかの応力を有する第 1 の絶縁膜からなるマスク材パターンを形成する工程と、該マスク材パターンをマスクとして前記配線層をエッチングすることにより配線を形成する工程と、前記マスク材パターンを残した状態で前記応力と反対の応力を有する第 2 の絶縁膜を形成することにより前記配線とマスク材パターンを埋め込む埋込層を形成する工程、を有することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 2 に記載の半導体装置の製造方法において、前記第 2 の絶縁膜からなる埋込層を形成した後、該埋込層の表面を平坦化することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 2 または 3 に記載の半導体装置の製造方法において、前記圧縮応力を有する絶縁膜として、プラズマ CVD 法により形成するシリコン酸化膜またはシリコン窒化膜またはシリコンオキシナイトライド膜を用い、前記引張応力を有する絶縁膜として低圧 CVD 法により形成するシリコン酸化膜を用いることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 2 または 3 に記載の半導体装置の製造方法において、前記引張応力を有する絶縁膜としてオゾン-テトラエトキシシラン雰囲気下での常圧 CVD 法により形成するシリコン酸化膜を用い、該シリコン酸化膜成長時のガス流量を制御することにより引張応力の大きさを調節することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 2 または 3 に記載の半導体装置の製造方法において、前記圧縮応力を有する絶縁膜としてスパッタリング法により形成するシリコン酸化膜を用い、該シリコン酸化膜成長時の基板バイアスを制御することにより圧縮応力の大きさを調節することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関し、特に多層配線技術に好適な層間絶縁膜およびその形成方法に関するものである。

【0002】

【従来の技術】 多層配線を有する従来の半導体装置においては、例えば下層のアルミニウム配線を形成した後、

この配線上に化学的気相成長 (Chemical Vapor Deposition, 以下、CVD と記す) 法によるシリコン酸化膜を形成し、ついで、上層のアルミニウム配線を形成した構造のものが知られている。

【0003】 また、図 3 (a) に示すように、シリコン基板 1 上に絶縁膜 2 を介して形成した下層アルミニウム配線 3 上に第 1 のシリコン酸化膜 4 を形成し、その後、図 3 (b) に示すように、全面に SOG (Spin On Glass) 膜 5 を形成し、ついで、図 3 (c) に示すように、第 2 のシリコン酸化膜 6 を形成した構造も知られている。この場合、SOG 膜 5 を形成した後に全面プラズマエッチングを施してアルミニウム配線 3 上の SOG 膜 5 を除去すると、第 1 のシリコン酸化膜 4、SOG 膜 5、第 2 のシリコン酸化膜 6 からなる比較的平坦な層間絶縁膜を形成することができる。

【0004】 このように、層間絶縁膜は単一の膜または複数の膜で構成される場合の双方があるが、絶縁膜はその内部に圧縮応力、引張応力のいずれかを有しているため、層間絶縁膜を単一の膜で形成した場合、あるいは同種の膜を積層した場合、基板の反りが生じて以降の製造工程に支障をきたすという問題があった。さらに、膜を何層にも積層すると半導体基板やアルミニウム配線に大きな応力が加わってアルミニウム配線が断線する、いわゆるストレスマイグレーション等の不良が発生する恐れがあった。

【0005】 そこで、この問題を解決する手段として、圧縮応力を有する絶縁膜と引張応力を有する絶縁膜を交互に積層する構造 (特開昭 57-45931 号公報、特開平 5-109909 号公報参照)、もしくは、下層の配線に引張応力を有する絶縁膜からなる側壁を設け、その上に圧縮応力を有する絶縁膜を形成する構造 (特開昭 64-57645 号公報参照) 等が提案されている。

【0006】 上記の解決手段のうち、例えば下層の配線に側壁を設けたものは以下のような製法を採用するのが一般的である。まず、図 4 (a) に示すように、シリコン基板 8 上に絶縁膜 9 を形成した後、下層配線となる膜厚 $0.5 \mu\text{m}$ のアルミニウム層 10 を形成し、レジストパターン 11 をマスクとしてエッチングを行うことによりアルミニウム配線 12 を形成する。そして、図 4 (b) に示すように、プラズマ CVD 法を用いて全面に膜厚 $0.5 \mu\text{m}$ のシリコン酸化膜 13 を形成した後、 CF_4 系のガスプラズマ中での異方性エッチングを全面に行うことにより、図 4 (c) に示すように、アルミニウム配線 12 の側壁のみにシリコン酸化膜 13a を残存させる。その後、図 4 (d) に示すように、常圧 CVD 法を用いて全面に膜厚 $1.0 \mu\text{m}$ のオゾン-テトラエトキシシラン (以下、 O_3 -TEOS と記す) 酸化膜 14 を形成する。

【0007】 本方法によれば、アルミニウム配線 12 の側壁に設けたプラズマシリコン酸化膜 13a が圧縮応力

を有し、配線 1 2 および配線間に設けた O_2 - TEOS 酸化膜 1 4 が引張応力を有しているため、双方の応力が打ち消され、基板全体の応力を緩和することができる。

【0008】

【発明が解決しようとする課題】しかしながら、上記 2 つの方法のうち、圧縮応力を有する膜と引張応力を有する膜を積層する方法には、異なる成膜工程を複数回用いて別種の絶縁膜を積層しなければならない、各膜の膜厚が応力緩和の観点から決まるため、層間絶縁膜として重要な要素である平坦化が困難である、という問題があった。一方、配線に絶縁膜からなる側壁を設ける方法には、側壁が配線の近傍にしか存在しないため応力緩和の効果が極めて小さく、基板全体としては十分な応力緩和の効果が得られない、という問題があった。

【0009】本発明は、上記の課題を解決するためになされたものであって、プロセスを複雑にすることなく、十分な応力緩和効果を持った層間絶縁膜が得られる半導体装置およびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置は、配線の直上に圧縮応力または引張応力のいずれかの応力を有する第 1 の絶縁膜が形成され、これら配線および第 1 の絶縁膜が前記応力と反対の応力を有する第 2 の絶縁膜で埋め込まれたことを特徴とするものである。

【0011】また、本発明の半導体装置の製造方法は、配線層を形成する工程と、配線層上に圧縮応力または引張応力のいずれかの応力を有する第 1 の絶縁膜からなるマスク材パターンを形成する工程と、マスク材パターンをマスクとして配線層をエッチングすることにより配線を形成する工程と、マスク材パターンを残した状態で前記応力と反対の応力を有する第 2 の絶縁膜を形成することにより配線とマスク材パターンを埋め込む埋込層を形成する工程、を有することを特徴とするものである。さらに、埋込層形成後、埋込層の表面を平坦化するとよい。また、上記の膜の具体的な材料としては、圧縮応力を有する絶縁膜として、プラズマ CVD 法により形成するシリコン酸化膜またはシリコン窒化膜またはシリコン、オキシナイトライド膜を用い、引張応力を有する絶縁膜として低圧 CVD 法により形成するシリコン酸化膜を用いることができる。

【0012】さらに、応力の大きさは膜の種類で一様に決まるわけではなく、例えば、引張応力を有する絶縁膜として O_2 - TEOS 雰囲気下での常圧 CVD 法によるシリコン酸化膜を用いることにして、このシリコン酸化膜成長時のガス流量を制御したり、圧縮応力を有する絶縁膜としてスパッタリング法によるシリコン酸化膜を用いることにして、このシリコン酸化膜成長時の基板バイアスを制御することによって、引張応力や圧縮応力の大きさを調節することも可能である。

【0013】

【発明の実施の形態】以下、本発明の第 1 の実施の形態を図 1 を参照して説明する。図 1 は本実施の形態の半導体装置の製造方法、特に下層配線上の層間絶縁膜を形成する工程を順を追って示すプロセスフロー図である。

【0014】図 1 (d) に示すように、本実施の形態の半導体装置は、シリコン基板 1 6 上に絶縁膜 1 7 が形成され、その上に下層配線であるアルミニウム配線 1 8 (配線) が形成されている。そして、アルミニウム配線 1 8 の直上のみに圧縮応力を有するプラズマシリコン酸化膜 1 9 (第 1 の絶縁膜) が形成され、これら配線 1 8 およびプラズマシリコン酸化膜 1 9 が、引張応力を有する O_2 - TEOS 酸化膜 2 0 (第 2 の絶縁膜) で埋め込まれている。そして、表面が平坦化された O_2 - TEOS 酸化膜 2 0 上に上層配線 (図示略) が設けられている。

【0015】すなわち、プラズマシリコン酸化膜 1 9 と O_2 - TEOS 酸化膜 2 0 で上層配線～下層配線間の層間絶縁膜が構成されているが、これを平面的に見ると、アルミニウム配線 1 8 上の領域とそれ以外の領域でこれら 2 種類の酸化膜が分かれたような状態となっている。

【0016】次に、上記構成の半導体装置の製造方法について説明する。まず、図 1 (a) に示すように、シリコン基板 1 6 上に形成された絶縁膜 1 7 上の全面に、膜厚 $0.5 \mu\text{m}$ のアルミニウム膜 2 1 (配線層) を形成する。ついで、後でこのアルミニウム膜 2 1 をエッチングする際のマスク材となる膜厚 $1.5 \mu\text{m}$ のプラズマシリコン酸化膜 1 9 をプラズマ CVD 法を用いて形成する。この際、プラズマシリコン酸化膜 1 9 の膜厚としては、バタニング時に用いるレジストパターンがプラズマエッチングに耐え得る膜厚を設定する必要がある。また、本実施の形態における応力緩和効果を十分に発揮させるためには、少なくとも $1.0 \mu\text{m}$ 程度の膜厚が必要である。以上より、通常の膜厚としては $1.0 \sim 2.0 \mu\text{m}$ 程度とすることが望ましい。

【0017】その後、ホトリソグラフィ技術によりレジストパターン 2 2 を形成し、これをマスクとして CF₄ 系のガスプラズマ中においてプラズマシリコン酸化膜 1 9 のプラズマエッチングを行い、アルミニウム膜エッチング時のマスク材パターン 2 3 を形成する。

【0018】さらに、図 1 (b) に示すように、レジストパターン 2 2 を除去した後、マスク材パターン 2 3 をマスクとしたアルミニウム膜 2 1 のプラズマエッチングを行うことにより、アルミニウム配線 1 8 を形成する。

【0019】次に、図 1 (c) に示すように、 O_2 - TEOS 雰囲気下での常圧 CVD 法によりシリコン酸化膜 2 0 を形成し、埋込層 2 4 を形成する。この時、 O_2 - TEOS 酸化膜 2 0 の膜厚は、配線 1 8 間に形成される溝 2 5 を十分に埋め込むだけの膜厚を設定する必要がある。

る。本実施の形態の場合、アルミニウム配線 18 の膜厚を $0.5\mu\text{m}$ 、マスク材パターン 23 の膜厚を $1.5\mu\text{m}$ としたことで溝 25 の深さが $2.0\mu\text{m}$ 程度となっているため、 O_2 -TEOS 酸化膜 20 の膜厚を $2.5\mu\text{m}$ 程度に設定する。また、 O_2 -TEOS 酸化膜 20 を用いることにより配線 18 間の溝 25 はほぼ完全に埋め込まれる。

【0020】ついで、図 1 (d) に示すように、化学的機械的研磨 (Chemical Mechanical Polishing, 以下、CMP と記す) 法を用いて、アルミニウム配線 18 上の O_2 -TEOS 酸化膜 20 の凸部がなくなるまでエッチング除去し、表面の平坦化を図る。この時、配線 18 上の O_2 -TEOS 酸化膜 20 の膜厚は $1.5\mu\text{m}$ 程度と見積もられるので、少なくともこの分だけ除去すればよいことになる。なお、CMP 後は、アルミニウム配線 18 上のプラズマシリコン酸化膜 19 が露出してもしなくてもよい。

【0021】その後、所定の位置に開孔を設け、上層配線 (図示略) を形成することにより配線間の層間絶縁膜形成プロセスが完了する。

【0022】本実施の形態の半導体装置の製造方法においては、アルミニウム配線 18 形成時のマスク材パターン 23 として用いたプラズマシリコン酸化膜 19 が圧縮応力を有し、埋込層 24 として用いた O_2 -TEOS 酸化膜 20 が引張応力を有しているため、双方の応力が打ち消され、基板全体の応力を緩和することができ、基板の反りやアルミニウム配線 18 の断線等の問題を防止することができる。特に O_2 -TEOS 酸化膜 20 は、その成長時のガス流量を調節することで引張応力の程度を調節することができるため、基板全体の応力緩和効果を最適化することができ、埋込層 24 として用いるのに好適である。

【0023】特に、本方法によれば、圧縮応力を有するプラズマシリコン酸化膜 19 が層間膜の膜厚分だけ形成され、アルミニウム配線の側壁のみにプラズマシリコン酸化膜を設けた従来の方法に比べて、プラズマシリコン酸化膜 19 が占める体積が大きくなるため、従来に比べて応力緩和効果が大きくなる、という格別な効果を得ることができる。また、プラズマシリコン酸化膜 19 はアルミニウム膜 18 のエッチング時のマスク材パターン 23 として用いるものであるから、応力緩和の目的だけのためにわざわざ形成するものではなく、従来のプロセスに比べて複雑になることがない合理的な方法とすることができる。

【0024】さらに、埋込層 24 に O_2 -TEOS 酸化膜 20 を用いたことで配線 18 間の溝 25 を有効に埋め込むことができ、ボイドの生じない層間絶縁膜を形成することができる。また、 O_2 -TEOS 酸化膜 20 形成後、CMP による平坦化を行うため、上層配線の形成を容易に行うことができる。

【0025】なお、本実施の形態ではマスク材の材料としてプラズマシリコン酸化膜を用いたが、これに限定されるものではなく、プラズマシリコン窒化膜、プラズマシリコンオキシナイトライド膜等、圧縮応力を有する膜であればよい。また、埋込層の材料として O_2 -TEOS 酸化膜を用いたが、これに代えて、CVD-PSG 膜等、引張応力を有する他の膜を用いることもできる。

【0026】さらに、マスク材と埋込層の組合せについても本実施の形態に限らず、圧縮応力を有する膜と引張応力を有する膜の組合せであればよい。なお、この組合せは基板全体の面積に対する配線部分の占める面積の割合を考慮に入れて選択する必要がある。このため、場合によっては、配線領域以外の領域に回路的な接続を持たないダミー配線パターンを形成して面積を調節する必要がある。

【0027】また、本実施の形態のアルミニウム配線の材料としては、アルミニウム中に銅、シリコン等の不純物を含むものであってもよい。さらに、チタン等の高融点金属や高融点金属窒化物を含む積層構造を有する膜であってもよい。

【0028】以下、本発明の第 2 の実施の形態を図 2 を参照して説明する。図 2 は本実施の形態の半導体装置の製造方法、特に下層配線上の層間絶縁膜を形成する工程を順を追って示すプロセスフロー図である。本実施の形態は、配線材料に銅を用いる点、配線形成時のマスク材として低圧 CVD (Low Pressure-CVD, 以下、LP-CVD と記す) 法によるシリコン酸化膜を用いる点、埋込層としてスパッタリングによるシリコン酸化膜を用いる点、で第 1 の実施の形態と異なっている。

【0029】LP-CVD 法によるシリコン酸化膜は引張応力を有し、スパッタリングによるシリコン酸化膜は圧縮応力を有することが知られている。

【0030】まず、図 2 (a) に示すように、シリコン基板 16 上に形成された絶縁膜 17 上の全面に、膜厚 $0.5\mu\text{m}$ の Cu (銅) 膜 27 (配線層) を形成する。なお、Cu 膜 27 は融点が $1065\sim 1083^\circ\text{C}$ 程度であるため、以降の LP-CVD 工程に十分耐え得る耐熱性を有している。ついで、Cu 膜エッチング時のマスク材となる膜厚 $1.5\mu\text{m}$ のシリコン酸化膜 28 (第 1 の絶縁膜) を LP-CVD 法により形成する。その後、ホトリソグラフィ技術によりレジストパターン 22 を形成し、これをマスクとして LP-CVD 酸化膜 28 のプラズマエッチングを行い、マスク材パターン 29 を形成する。

【0031】そして、図 2 (b) に示すように、レジストパターン 22 を除去した後、マスク材パターン 29 をマスクとして下層の Cu 膜 27 を Cl_2 ガス中でプラズマエッチングすることにより、Cu 配線 30 (配線) を形成する。

【0032】次に、図 2 (c) に示すように、スパッタ

リング法を用いてシリコン酸化膜 3 1 (第 2 の絶縁膜) を形成し、埋込層 3 2 とする。スパッタリング法を用いた場合、基板バイアスを 0 V → - 2 0 0 V 程度まで変化させることにより、シリコン酸化膜 3 1 中の圧縮応力を徐々に増加させることができる。例えば、基板バイアスが - 2 0 0 V のとき、膜応力 (圧縮) は約 2×10^9 [dyne/cm²] 程度の値を取る。そこで、本実施の形態では基板バイアスを - 2 0 0 V に設定し、シリコン酸化膜 3 1 の膜厚を 2. 0 μm 程度とする。

【0 0 3 3】以降は第 1 の実施の形態と同様、図 2 (d) に示すように、CMP 法によりシリコン酸化膜 3 1 の凸部を除去し、表面の平坦化を図る。そして、所定の位置に開孔を設け、上層配線を形成することにより、配線間の層間絶縁膜形成プロセスが完了する。

【0 0 3 4】本実施の形態においては、第 1 の実施の形態と同様の効果に加えて、スパッタリング法を用いてシリコン酸化膜 3 1 を形成する際に適切な基板バイアスを選択することにより、膜中の圧縮応力を制御して基板全体の応力緩和効果を最適化することができ、その結果、基板の反りや Cu 配線の断線等の問題を防止することができる。また、スパッタリング法によるシリコン酸化膜 3 1 を用いたことで埋込性に優れた層間絶縁膜を形成することができる。

【0 0 3 5】なお、本実施の形態に用いる配線材料としては、Cu に不純物が含まれていてもよい。

【0 0 3 6】

【発明の効果】以上、詳細に説明したように、本発明によれば、配線形成時のマスク材パターンとして用いた第 1 の絶縁膜が圧縮応力か引張応力のいずれかを有し、埋込層として用いた第 2 の絶縁酸化膜がそれと反対の応力を有しているため、双方の応力が打ち消され、基板全体の応力を緩和することができ、基板の反りや配線の断線等の問題を防止することができる。この時、第 1 の絶縁膜が層間膜の膜厚分だけ形成され、配線の側壁のみに絶縁膜を設けた従来の方法に比べて絶縁膜が占める体積が大きくなるため、従来に比べて十分大きな応力緩和効果

を得ることができる。また、第 1 の絶縁膜は配線形成のエッチング時のマスク材パターンとして用いるものであるから、応力緩和の目的だけのためにわざわざ形成するものではなく、従来のプロセスが複雑になることはない。さらに、膜の材料に O₂ - TEOS 酸化膜やスパッタリング法によるシリコン酸化膜を用いた場合、成膜条件を制御することで膜中の応力を自由に調節でき、基板全体の応力緩和に対して最適化を図ることができる。

【図面の簡単な説明】

10 【図 1】本発明の第 1 の実施の形態である半導体装置の製造工程 (層間絶縁膜形成工程の部分) を示すプロセスフロー図である。

【図 2】本発明の第 2 の実施の形態である半導体装置の製造工程 (層間絶縁膜形成工程の部分) を示すプロセスフロー図である。

【図 3】従来一般の層間絶縁膜形成工程を示すプロセスフロー図である。

【図 4】配線側壁に絶縁膜を設けた従来の層間絶縁膜形成工程を示すプロセスフロー図である。

20 【符号の説明】

1 6 シリコン基板

1 7 絶縁膜

1 8 アルミニウム配線 (配線)

1 9 プラズマシリコン酸化膜 (第 1 の絶縁膜)

2 0 O₂ - TEOS 酸化膜 (第 2 の絶縁膜)

2 1 アルミニウム膜 (配線層)

2 2 レジストパターン

2 3, 2 9 マスク材パターン

2 4, 3 2 埋込層

2 5 溝

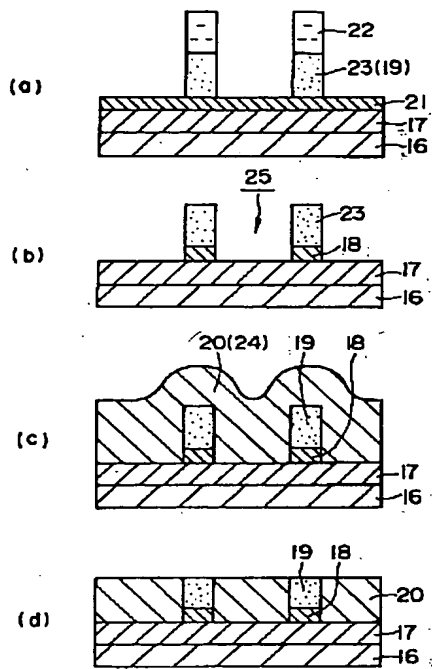
2 7 Cu 膜 (配線層)

2 8 LP-CVD 酸化膜 (第 1 の絶縁膜)

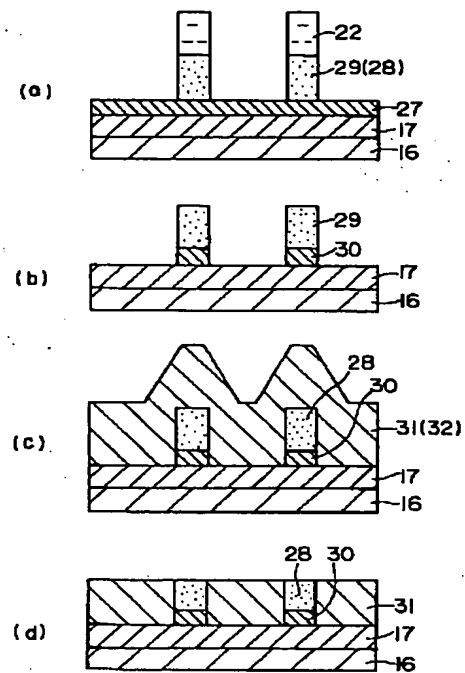
3 0 Cu 配線 (配線)

3 1 スパッタリング法によるシリコン酸化膜 (第 2 の絶縁膜)

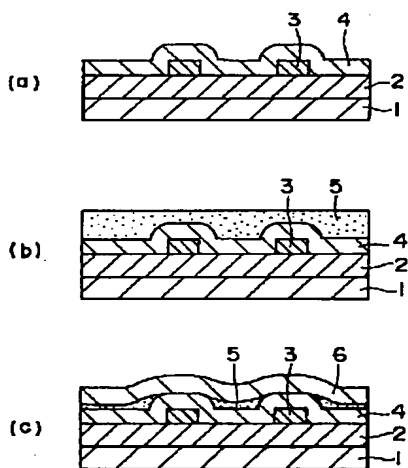
【図 1】



【図 2】



【図 3】



【図 4】

